

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 06069342 A

(43) Date of publication of application: 11.03.1994

(51) Int. Cl. H01L 21/82  
G01R 31/28

(21) Application number: 04222686  
(22) Date of filing: 21.08.1992

(71) Applicant: TOSHIBA CORP  
(72) Inventor: KOYANAGI MASARU

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

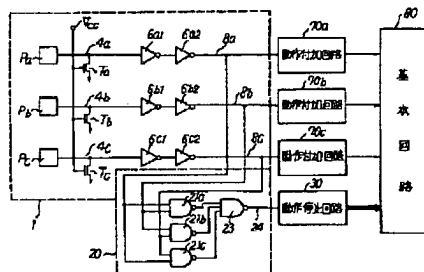
(57) Abstract:

PURPOSE: To make it possible to easily detect and eliminate bonding errors that occur during switching of a plurality of operation modes.

CONSTITUTION: This circuit comprises a switching means 1 capable of selecting and switching each circuit operation mode out of a plurality of circuit operation modes, a detecting means 20 for detecting whether at least two or more circuit operation modes can be selected simultaneously out of a plurality of circuit operation modes based on the output of said

switching means, and operation stop means 30 for stopping a predetermined circuit operation based on the output of the detection means.

COPYRIGHT: (C)1994,JPO&Japio



BEST AVAILABLE COPY

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-69342

(43)公開日 平成6年(1994)3月11日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/82				
G 0 1 R 31/28				
		8225-4M	H 0 1 L 21/ 82	S
		8812-2G	G 0 1 R 31/ 28	W
		8225-4M	H 0 1 L 21/ 82	R
審査請求 未請求 請求項の数3(全 10 頁)				

(21)出願番号 特願平4-222636

(22)出願日 平成4年(1992)8月21日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 小 柳 勝

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

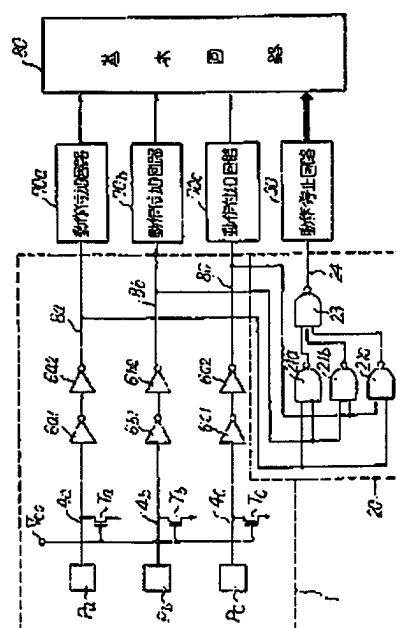
(74)代理人 弁理士 佐藤 一雄 (外3名)

(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】 複数の動作モード切換時に発生するボンディングミス等を容易に検出し、排除することを可能にする。

【構成】 複数の回路動作モードの中から各々の回路動作モードを選択し、切換えることのできる切換手段1と、この切換手段の出力に基づいて複数の回路動作モードの中の少なくとも2つ以上の回路動作モードが同時に選択されたかどうかを検出する検出手段2(1)と、この検出手段の出力に基づいて所定の回路動作を停止させる動作停止手段3(1)と、を備えていることを特徴とする。



(2)

特開平6-69342

1

2

【特許請求の範囲】

【請求項1】複数の回路動作モードの中から各々の回路動作モードを選択し、切換えることのできる切換手段と、この切換手段の出力に基づいて前記複数の回路動作モードの中の少なくとも2つ以上の回路動作モードが同時に選択されたかどうかを検出する検出手段と、この検出手段の出力に基づいて所定の回路動作を停止させる動作停止手段と、を備えていることを特徴とする半導体集積回路。

【請求項2】複数の回路動作モードの中から各々の回路動作モードを選択し、切換えることのできる切換手段と、この切換手段の出力に基づいて演算を行い、2つ以上の回路動作モードが同時に選択された場合に、この選択された回路動作モードの中の1つの回路動作モードを選択し、動作させる選択手段と、を備えていることを特徴とする半導体集積回路。

【請求項3】複数の回路動作モードの中から各々の回路動作モードを選択し、切換えることのできる切換手段と、この切換手段の出力に基づいて、どの回路動作モードが選択されているかを、使用する他の入出力ピンを用いて検出することのできる検出回路と、を備えていることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、複数の回路動作モードを切換えるボンディングパッドあるいはフェーズ等を有する半導体集積回路に関するものである。

【0002】

【従来の技術】近年1チップで多くの製品を実現するため、複数の回路動作モードを切換えるボンディングパッドあるいはフェーズを有する半導体集積回路（以下、ICともいう）が増加している。このような、回路動作モードを切換えるボンディングパッドを有するICとパッドの平面図を図5に示す。図5において、リードフレーム内のチップ100上のボンディングパッド121～140はワイヤ141～160を介してリードフレームの各ピン101～120に電気的に接続される。ここでピン101は電源ピンであり、パッド161～163は動作モード切換用のパッドである。そして電源ピン101と切換用のパッド161、162、163を、ワイヤを介して追加接続することによって任意の動作モードを設定することが可能である。

【0003】ICの動作切換用ボンディングパッドPa、Pb、Pcに接続される、動作切換回路1の構成を図6に示す。この動作切換回路1は高抵抗のNチャネルトランジスタTa、Tb、Tcと、インバータ6a、6b、6c、6d、6e、6fとを備えている。パッドPi（i=a、b、c）はノード4iを介してインバータ6i、の入力端子に接続されている。そしてインバータ6i、（i=a、b、c）の出力端子はイ

ンバータ6i、の入力端子と接続されている。又、各トランジスタTi（i=a、b、c）のドレインはノード4iに接続され、ソースは接続電源に接続され、ゲートは電源電圧Vccが印加されている。したがって、パッドPi（i=a、b、c）はトランジスタTiによって通常、接地電位に保持されており、このパッドの電位はインバータ6i、6j、を介してノード8iに伝えられる。ノード8i（i=a、b、c）は動作付加回路70iに接続されており、この動作付加回路70iは更にノード75iを介して基本回路80に接続されている。ノード4i（i=a、b、c）の電位が接地電位の間は動作付加回路70iは非活性化され、基本回路80には影響を及ぼさない。

【0004】次に、パッド例えばパッドPaに電源電位Vccが与えられると、トランジスタTaの抵抗が大きいため、ノード4aは電源電位Vccに持ち上げられる。このノード4aの電位はインバータ6a、6b、を介してノード8aに伝えられ、動作付加回路70aが活性化される。これによりICの基本回路80が影響を受け、動作モードの切換えが行われる。

【0005】このような従来の半導体集積回路においては、図6に示すように動作付加回路70a、70b、70cは互いに独立であるため、もしこれらの内のどれかが相反する動作切換えによって両立しない場合に、対応するパッドPa、Pb、Pcに電源電位を与えると、各々の動作付加回路70a、70b、70cが活性化されて基本回路80に影響を与えてしまい、所望の特性が得られなくなる。この状態が製造過程で発生した場合は、製品がだめになってしまうばかりで無く、動作モードの組合せによっては、通常のテストでは検出できず、特殊の場合のみに動作異常が生じ、信頼性にかかわる事故につながる可能性もあった。

【0006】又、パッドPa、Pb、Pcの接続電位が接地レベルの場合の例を図7に示す。この場合は、通常の電位がPチャネルトランジスタta、tb、tcによって図6の場合とは逆の電源電位になっており、その分、インバータが各1段減ってノード94i（i=a、b、c）とノード96iとの整合性を保っている。

【0007】

【発明が解決しようとする課題】このように回路動作モードを切換えるボンディングパッドあるいはフェーズ等を有する従来の半導体集積回路においては、複数の動作モード切換回路は各々独立なことが多く、実際には有り得ないボンディング（フェーズ等）の組合せを誤って行った場合でも通常のテストはパスして、特殊の動作タイミングのみに不具合が検出されるものあり、生産の管理が難しかった。

【0008】本発明は上記事情を考慮してなされたものであって、複数の動作モード切換時に発生するボンディングミス等を容易に検出し、排除することのできる半導

(3) 特開平6-69342

3

体集積回路を提供することを目的とする。又、本発明は、動作モードの切換の設定が誤って行われても救済することのできる半導体集積回路を提供することを目的とする。

【0009】

【課題を解決するための手段】第1の発明による半導体集積回路は、複数の回路動作モードの中から各々の回路動作モードを選択し、切換えることのできる切換手段と、この切換手段の出力に基づいて前記複数の回路動作モードの中の少なくとも2つ以上の回路動作モードが同時に選択されたかどうかを検出する検出手段と、この検出手段の出力に基づいて所定の回路動作を停止させる動作停止手段と、を備えていることを特徴とする。

【0010】又、第2の発明による半導体集積回路は、複数の回路動作モードの中から各々の回路動作モードを選択し、切換えることのできる切換手段と、この切換手段の出力に基づいて演算を行い、2つ以上の回路動作モードが同時に選択された場合に、この選択された回路動作モードの中の1つの回路動作モードを選択し、動作させる選択手段と、を備えていることを特徴とする。

【0011】又、第3の発明による半導体集積回路は、複数の回路動作モードの中から各々の回路動作モードを選択し、切換えることのできる切換手段と、この切換手段の出力に基づいて、どの回路動作モードが選択されているかを、使用する他の入出力ピンを用いて検出することのできる検出回路と、を備えていることを特徴とする。

【0012】

【作用】このように構成された第1の発明の半導体集積回路によれば、2つ以上の回路動作モードが同時に選択されたかどうか検出手段によって検出され、2つ以上の回路動作モードが同時に選択された場合には所定の回路動作（選択された回路動作又は出力動作等）が動作停止手段によって停止させられる。これにより複数の動作モード切換時に発生するボンディングミス等を容易に検出し、排除することができる。

【0013】又、上述のように構成された第2の発明の半導体集積回路によれば、2つ以上の回路動作モードが選択された場合に、選択手段によって1つの回路動作モードが選択されて動作させられる。これにより、動作モードの切換の設定が誤って行われても救済することができる。

【0014】又、上述のように構成された第3の発明の半導体集積回路によれば、切換手段の出力に基づいてどの回路動作モードが選択されているかが、他の入力ピンを用いて検出回路によって検出される。これにより複数の動作モード切換時に発生するボンディングミス等を容易に検出し排除することができる。

【0015】

【実施例】第1の発明による半導体集積回路（以下、1

4

Cともいう）の第1の実施例の構成を図1に示す。この第1の実施例のICは図6に示す従来のICにおいて、演算回路20と動作停止回路30とを新たに設けたものである。この演算回路20は4個のNAND回路21a、21b、21c及び23からなっている。NAND回路21aは動作切換回路1のインバータ6a、6b、の出力に基づいて動作し、その動作出力をNAND回路23に送る。NAND回路21bは動作切換回路1のインバータ6b、及び6c、の出力に基づいて動作し、その動作出力をNAND回路23に送る。NAND回路21cは動作切換回路1のインバータ6c、及び6a、の出力に基づいて動作し、その動作出力をNAND回路23に送る。NAND回路23はNAND回路21a、21b、21cの出力に基づいて動作し、その動作出力を動作停止回路30に送る。したがって、演算回路20は、本来多重選択されなければならない付加回路70a、70b、70cの内、どれか2つ以上のものが選択された場合、NAND回路21a、21b、21cの出力の内、少なくとも1つが“L”レベルとなり、NAND回路23の出力24が“H”レベルとなる。

【0016】一方動作停止回路30は、通常はNAND回路23の出力24が“L”レベルの場合は非活動状態にあるが、NAND回路23の出力24が“H”レベルの場合は活性化されて基本回路80の所定の回路動作を確実に止める（例えば、多重選択された回路動作、又はICの出力回路動作を止める等）働きをする。これにより、簡単なテストで動作モード切換時に発生するボンディングミス等を検出し、排除することができる。なお、動作停止回路30の一具体例の構成を図2に示す。この図2に示す動作停止回路30はICの出力を止めてしまう場合の回路図である。

【0017】図2において38は出力パッドであり、出力はPチャネルトランジスタ37a、Nチャネルトランジスタ37bからなる出力回路37によって与えられる。出力回路37は、出力切換回路33によって制御されており、出力切換回路33の活性化信号バーEが“H”→“L”となると、これを入力とするNOR回路31の出力32が“L”→“H”となり、出力切換回路33を不活性→活性化させ、ICの内部データDに応じた電位が、出力切換回路33の出力35、36に生じ出力信号37に伝えられ、出力パッド38に電位が現れる。出力が生じない場合は、上記出力35は電源電位（Vcc）、36は接地電位（Vcc）を保持されており、出力切換回路33が活性化されると、データDが“H”の時には出力35がVcc→Vssとなり、パッド38には“H”出力が、データDが“L”の時には出力36がVss→Vccとなり、パッド38には“L”出力が生じる。

【0018】図1において、動作切換回路1が多重選択していない場合は、図1で説明したように演算回路20

(4)

特開平6-69342

5

の出力は、“L”を保持しており、上記出力動作に影響を及ぼさない。動作切換回路1が多重選択している場合は、演算回路20の出力が“H”となり、図2のNOR回路31の出力32が“L”に固定してしまう為、たとえ活性化信号バーEが“H”→“L”となっても、出力切換回路33は活性化されず、出力パッド38には電位が出ないままとなり、簡単なテストで検出可能となる。

【0019】図1の動作停止回路20は、図2の例の他にも、色々と考えられる。例えば、他の応用例として、多重選択時に、常に“H”あるいは“L”を出力させる。ICの内部回路動作を完全に止める、ICへの書き込みを受け付けなくする、特定のピンを“H”または“L”に固定する、特定の動作モードの時のみ回路動作をさせなくする、回路の一部を止め正常な動作をさせなくする等が挙げられる。

【0020】次に第2の本発明による半導体集積回路の第1の実施例の構成を図3に示す。この実施例の半導体集積回路は図6に示す従来の半導体集積回路において、動作切換回路1の代わりに動作切換回路1Aを設けたものである。この動作切換回路1Aは図6に示す動作切換回路1において、インバータ6b、の代わりにNOR回路7bを、インバータ6c、の代わりにNOR回路7cを設けたものである。NOR回路7bはインバータ6a、の出力とインバータ6b、の出力に基づいて動作し、その動作出力8bを動作付加回路70bに送出する。NOR回路7cはNOR回路7bの出力、インバータ6a、の出力、及びインバータ6c、の出力に基づいて動作し、その動作出力8cを動作付加回路70cに送出する。

【0021】この第1の実施例は、ボンディングミスにより動作付加回路70a、70b、70cのうち少なくとも2個が多重選択された場合に、生かす回路の優先順位をつけたものである。例えば、誤ってパッドPaとPbが両方とも電源に接続された場合、ノード4a及び4bはいずれも“H”レベルとなる。これにより、インバータ6a、の出力が“H”、NOR回路7bの出力が“L”となって、動作付加回路70aのみが活性化され、動作付加回路70bは不活性のままとなる。又、同様にパッドPbとOcが同時に選択された場合は動作付加回路のみが活性化され、すべてのパッドPa、Pb、Pcが選択された場合は動作付加回路70aのみが活性化される。したがって、動作付加回路70a、70b、70cの優先順位は、動作付加回路70a>動作付加回路70b>動作付加回路70cとなる。

【0022】この第1の実施例のように優先順位をつけて相反するモードのうちのどれか1つのみを選択して対応する動作付加回路を活性化するようにすれば、モード切換の設定を誤っても製品化が可能となる。

【0023】次に第3の発明による半導体集積回路の第1の実施例の構成を図4に示す。この実施例の半導体集

6

積回路は図6に示す従来の半導体集積回路において、検出回路50を新たに設けたものである。この検出回路50はパッドPa<sub>1</sub>、Pb<sub>1</sub>、Pc、と、Nチャネルトランジスタ52a、52b、52c、54a、54b、54c、56a、56b、56cと、Pチャネルトランジスタ58a、58b、58cとを備えている。パッドP<sub>i</sub>（i=a、b、c）はノード51iを介してトランジスタ52iの一端に接続され、トランジスタ52iの他端はノード53iを介してトランジスタ54iの一端に接続され、トランジスタ54iの他端はノード55iを介してトランジスタ56iの一端に接続され、トランジスタ56iの他端はトランジスタ58iを介して電源（Vcc）に接続されている。そして、トランジスタ52i（i=a、b、c）のゲートはノード51iに接続され、トランジスタ54iのゲートはノード53iに接続され、トランジスタ56iのゲートはノード55iに接続されている。又トランジスタ58i（i=a、b、c）のゲートには動作切換回路1のインバータ6i、の出力が印加されている。なおパッドPa、Pb、Pc、は、半導体集積回路のパッケージの外部ピンに接続される他のパッド（図5に示すパッド122～139に相当）である。

【0024】この第1の実施例の半導体集積回路にかかる検出回路50は、パッケージ封入後、どの動作モードが選択されているかを他ピンで電気的に検出するものである。今、パッドPaのみが電源（Vcc）に接続され、付加回路70aが活性化された場合を考える。この時、インバータ6a、の出力8aは“H”となっているから検出回路50内のPチャネルトランジスタ58aのゲートの電位レベルは“H”、他のPチャネルトランジスタ58b、58cのゲートの電位レベルは“L”となる。この状態でパッドPa<sub>1</sub>、Pb<sub>1</sub>、Pc、に所定電圧（電圧（Vcc）+3・Vth）以上の電圧を印加し（ここでVthはトランジスタ52a、54a、56aのしきい値電圧）、各パッドPa<sub>1</sub>、Pb<sub>1</sub>、Pc、に流れる電流をモニタする。するとパッドPa、に流れる電流は、インバータ6a、の出力が“H”になって、トランジスタ58aが非導通状態になっているため、ほとんど流れない。一方、他のパッドPb<sub>1</sub>、Pc、はインバータ6b、6c、の出力が“L”となっているため、トランジスタ58b、58cが導通状態となり、ノード57b、57cが電源電位Vccに固定され、パッドPb<sub>1</sub>、Pc、に電流が流れる。

【0025】以上述べたように、この第1の実施例の半導体集積回路は、パッケージ封入後でも、どの動作モードが選択されているのかを電気的に容易に検出することができる。又、誤って複数の動作モードが選択されていても、それに対応するピンに電圧を与えることによって電気的にそのモード切換箇所を検出することが可能となる。更に検出回路50を、図3に示す第2の発明の第1

(5)

特開平6-69342

7

8

の実施例の半導体集積回路に設け、動作切換回路1aの出力8a、8b、8cを検出回路50のトランジスタ58a、58b、58cのゲートに各々印加すれば、図3に示す実施例で最終的に決定した動作モードを、他ピンに電圧を印加して電流値を調べることによって検出可能である。なお、以上説明した実施例においては、動作切換回路1は図6に示すものであったが、本発明はこれ限定されるものではなく、図7に示す逆相のもの、フェースを用いたもの等にも適用することができる。

【0026】

【発明の効果】本発明によれば複数の動作モード切換時に発生するボンディングミス等を容易に検出し、排除することができる。又、本発明によれば、動作モードの切換の設定が誤って行われても救済することができる。

【図面の簡単な説明】

【図1】第1の発明の第1の実施例の構成を示すブロック図。

【図2】図1に示す実施例にかかる動作停止回路の一具\*

\* 体例の構成を示すブロック図。

【図3】第2の発明の第1の実施例の構成を示すブロック図。

【図4】第3の発明の第1の実施例の構成を示すブロック図。

【図5】回路動作モードを切換えるボンディングパッドを有する半導体集積回路の平面図。

【図6】従来の半導体集積回路の構成を示すブロック図。

10 【図7】動作切換回路の他の例を示すブロック図。

【符号の説明】

1 動作切換回路

20 演算回路

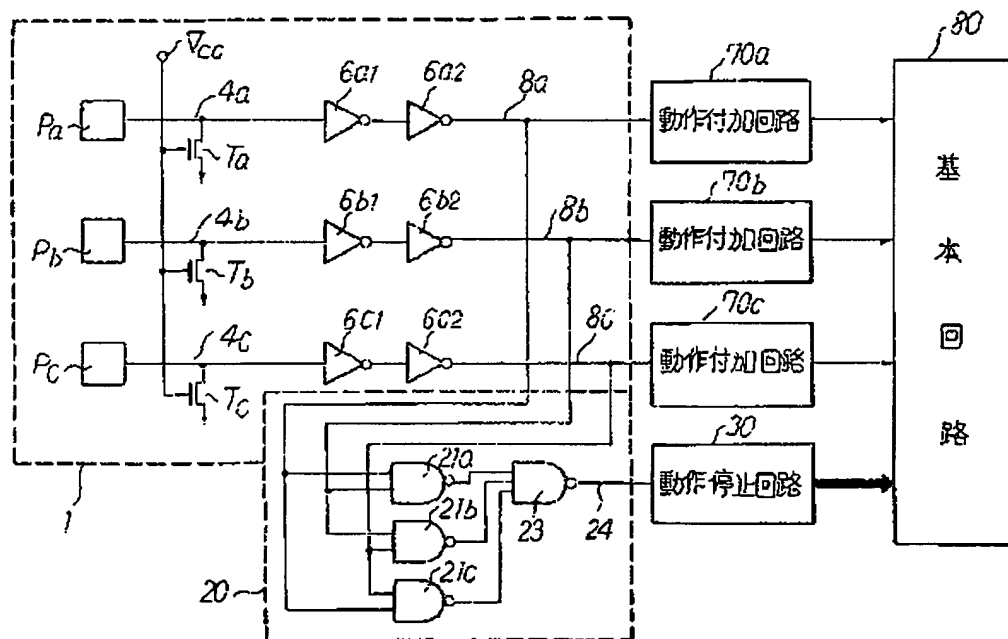
30 動作停止回路

70a、70b、70c 動作付加回路

80 基本回路

Pa、Pb、Pc 動作切換用パッド

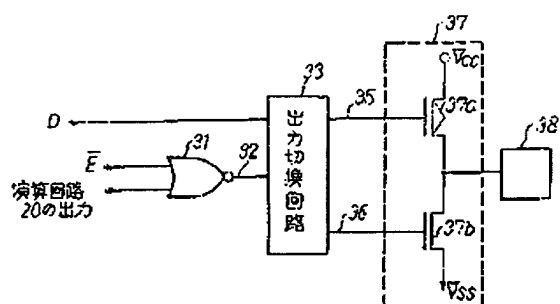
【図1】



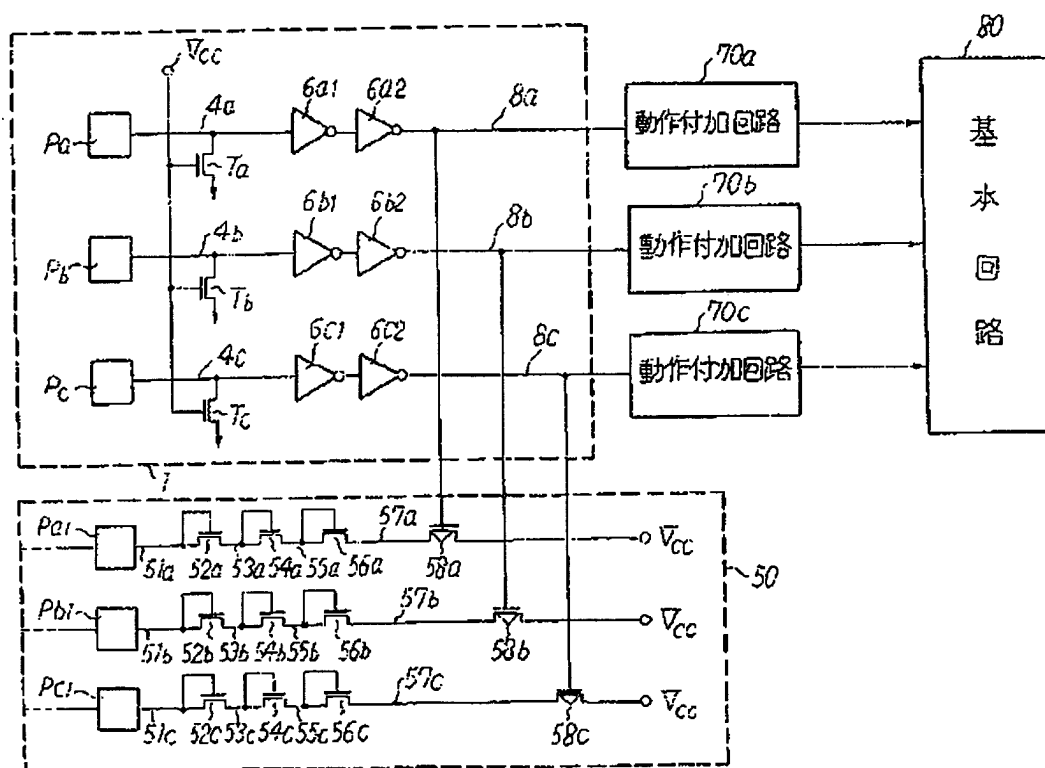
(5)

特開平6-69342

【図2】



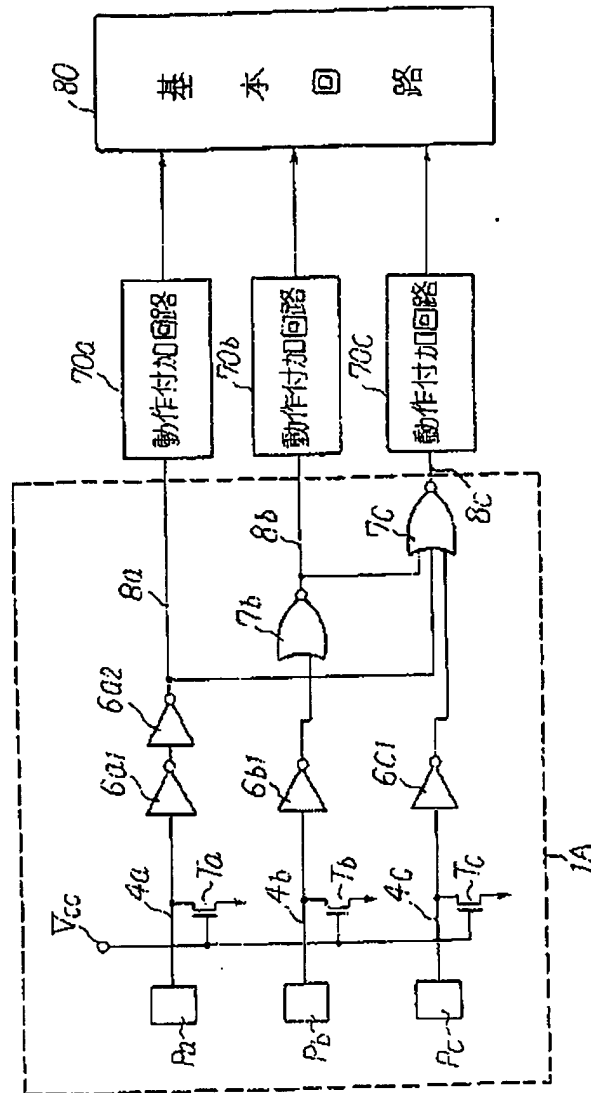
【図4】



特開平6-69342

(7)

[図3]

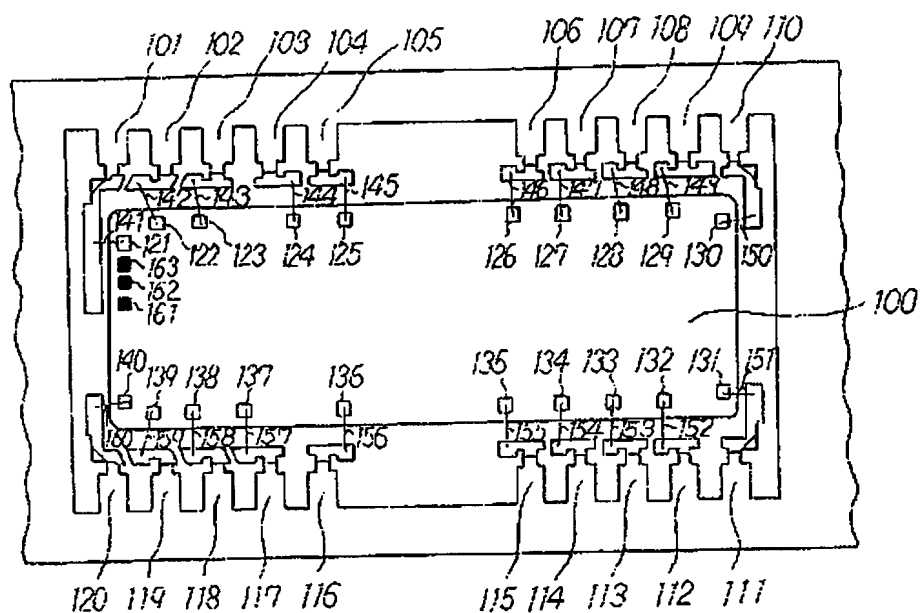




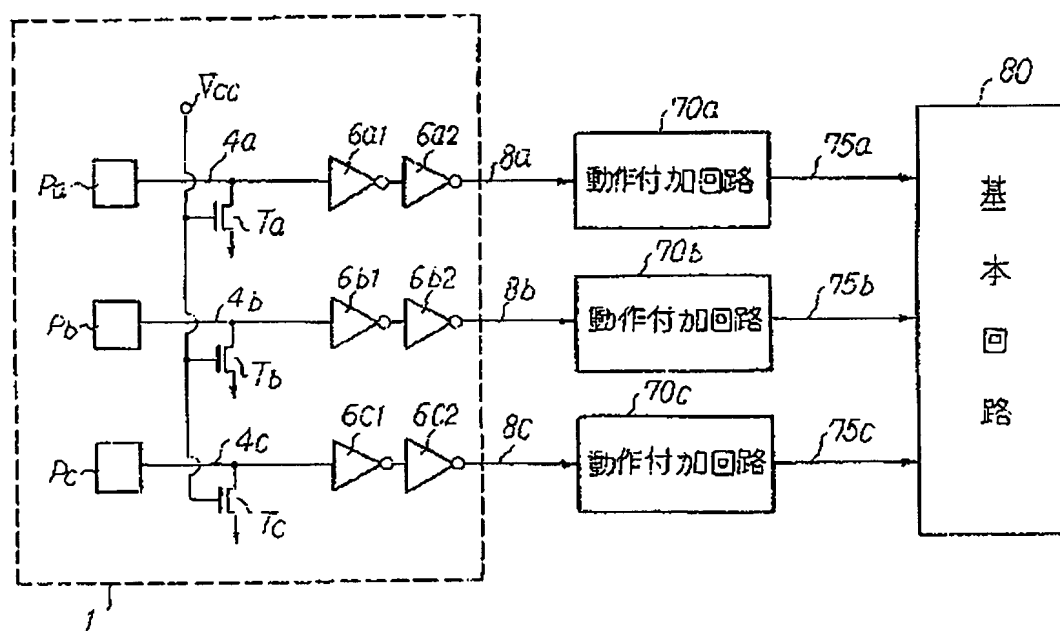
(8)

特開平6-69342

【図5】



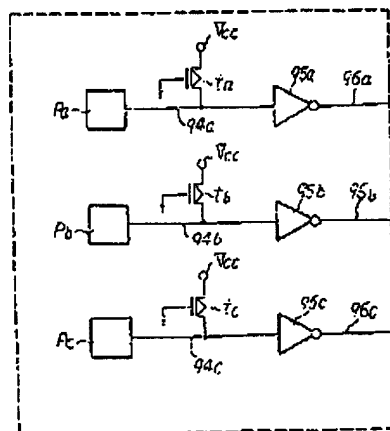
【図6】



(9)

特開平6-69342

〔図7〕



【手続補正音】

【提出日】平成5年4月16日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】図2において38は出力パッドであり、出力はPチャネルトランジスタ37a、Nチャネルトランジスタ37bからなる出力回路37によって与えられる。出力回路37は、出力切換回路33によって制御されており、出力切換回路33の活性化信号バーEが“H”→“L”となると、これを入力とするNOR回路31の出力32が“L”→“H”となり、出力切換回路33を不活性→活性化させ、ICの内部データDに応じた電位が、出力切換回路33の出力35、36に生じ出力信号37に伝えられ、出力パッド38に電位が現れる。出力が生じない場合は、上記出力35は電源電位（Vcc）、36は接地電位（Vss）に保持されており、出力切換回路33が活性化されると、データDが“H”の時には出力35がVcc→Vssとなり、パッド38には“H”出力が、データDが“L”の時には出力36がVss→Vccとなり、パッド38には“L”出力が生じる。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正内容】

【0021】この第1の実施例は、ボンディングミスにより動作付加回路70a、70b、70cのうち少なくとも2個が多重選択された場合に、生かす回路の優先順位をつけたものである。例えば、誤ってパッドPaとPbが両方とも電源に接続された場合、ノード4a及び4bはいずれも“H”レベルとなる。これにより、インバータ6a2の出力が“H”、NOR回路7bの出力が“L”となって、動作付加回路70aのみが活性化され、動作付加回路70bは不活性のままとなる。又、同様にパッドPbとPcが同時に選択された場合は動作付加回路70bのみが活性化され、すべてのパッドPa、Pb、Pcが選択された場合は動作付加回路70aのみが活性化される。したがって、動作付加回路70a、70b、70cの優先順位は、動作付加回路70a>動作付加回路70b>動作付加回路70cとなる。

【手続補正3】

【補正対象書類名】図面

【補正対象項目名】図3

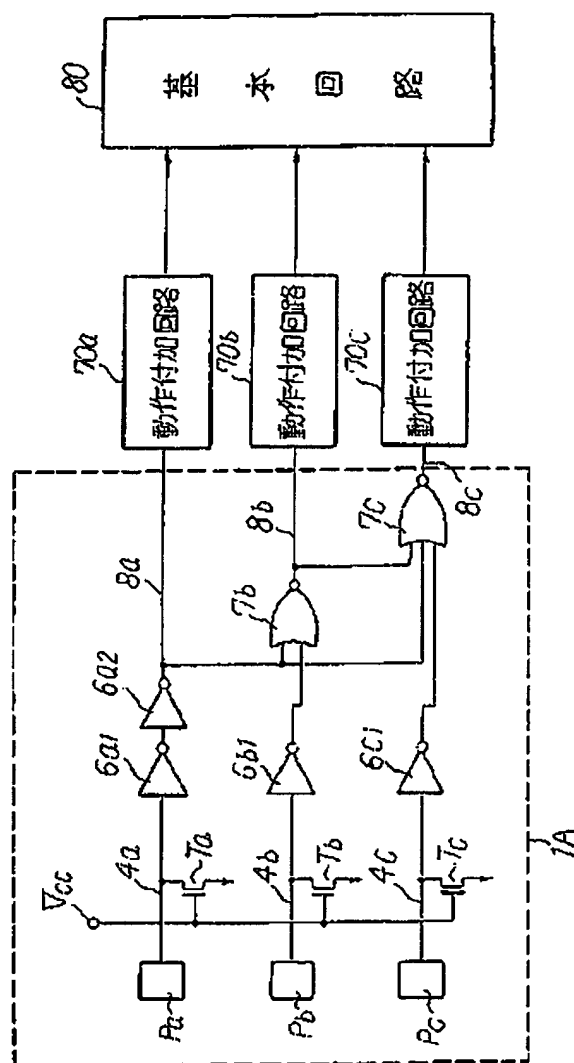
【補正方法】変更

【補正内容】

【図3】

(10)

特開平6-69342



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**